

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-305839

(43)Date of publication of application : 02.11.2000

(51)Int.Cl.

G06F 12/02

G06F 12/00

(21)Application number : 11-112222

(71)Applicant : TOKYO ELECTRON LTD

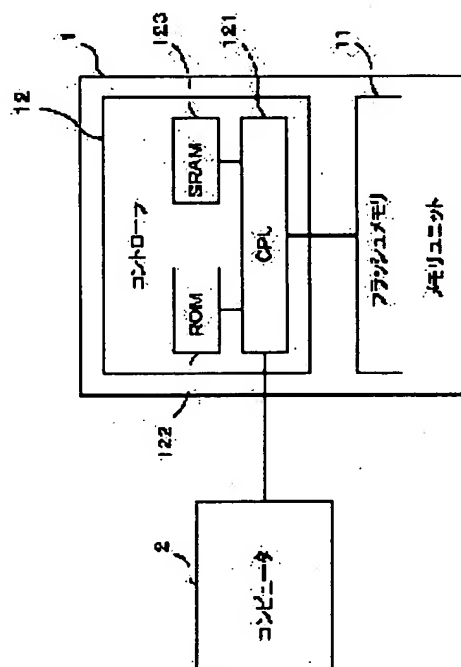
(22)Date of filing : 20.04.1999

(72)Inventor : TAKAHASHI TSUYOSHI

## (54) STORAGE DEVICE, STORAGE SYSTEM, MEMORY MANAGING METHOD, AND RECORDING MEDIUM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce frequency in generating address conversion tables when accessing data.  
**SOLUTION:** A CPU 121 prepares a file managing block search index(BSI) and a file managing block pointer table (BPT) for a zone 0 of a flash memory 11 storing directories and a file allocation table(FAT) and stores these BPT and FAT in a static random access memory(SRAM) 123. When a readout request is outputted from a computer 2, the CPU 121 specifies and reads out a directory and a position of the FAT on the basis of the BPT and supplies the readout contents to the computer 2. In the case of accessing data in another zone, a general BPT is newly generated but the file managing BPT is not updated. Even when any zone includes data accessed immediately before, accesses to the directory and the FAT are executed without generating a new BPT again.



### LEGAL STATUS

[Date of request for examination] 10.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3524428

[Date of registration] 20.02.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal] [Date of examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-305839  
(P2000-305839A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 6 F 12/02	5 7 0	G 0 6 F 12/02	5 7 0 A 5 B 0 6 0
	5 1 0		5 1 0 A 5 B 0 8 2
12/00	5 4 2	12/00	5 4 2 A

審査請求 未請求 請求項の数10 O L (全 23 頁)

(21)出願番号 特願平11-112222

(22)出願日 平成11年4月20日(1999.4.20)

(71)出願人 000219967

東京エレクトロン株式会社  
東京都港区赤坂5丁目3番6号

(72)発明者 高橋 強

岩手県江刺市岩谷堂字松長根52番地 東京  
エレクトロンデバイス株式会社岩手事業所  
内

(74)代理人 100095407

弁理士 木村 満 (外3名)

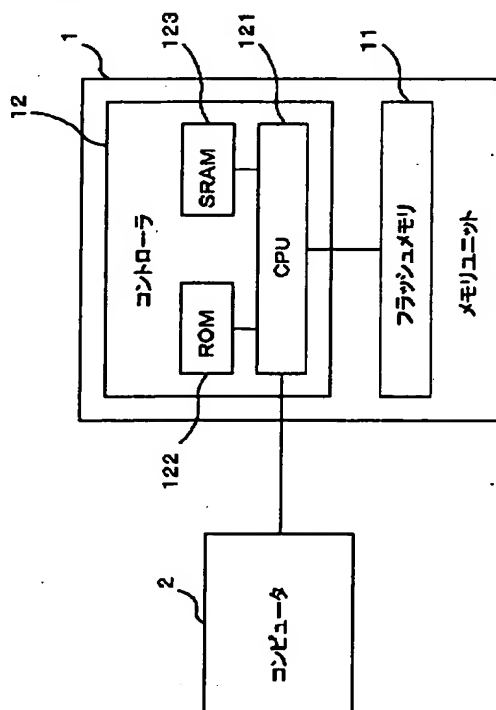
Fターム(参考) 5B060 AA06 AA13 AB25  
5B082 CA01 FA04

(54)【発明の名称】 記憶装置、記憶システム、メモリ管理方法及び記録媒体

(57)【要約】

【課題】 データにアクセスする際にアドレス変換テーブルを作成する頻度が少ない記憶装置、記憶システム、メモリ管理方法を提供することである。

【解決手段】 CPU121はまず、ディレクトリ及びFATが格納された、フラッシュメモリ11のゾーン0についてのファイル管理用BSI及びファイル管理用BPTとを作成してSRAM123に格納する。コンピュータ2から読み出し要求があると、ファイル管理用BPTに基づいてディレクトリ及びFATの位置を特定して読み出し、コンピュータ2に供給する。他のゾーンのデータにアクセスするときは一般用BPTを作成し直すが、ファイル管理用BPTの更新は行わない。従って、直前にアクセスされたデータがいずれのゾーンに属していても、ディレクトリ及びFATへのアクセスはBPTの作成をやり直すことなく行われる。



# 【特許請求の範囲】

【請求項1】 各々が複数のゾーンのいずれかに属し、物理アドレスを割り当てられた、データを記憶するための複数のメモリブロックを含む記憶手段と、前記メモリブロックに記憶されている前記データを読み出して外部に出力する読み出し手段と、を備え、所定の前記ゾーンに属する前記メモリブロックは、前記記憶手段に記憶されているデータと該データが記憶されているメモリブロックの論理アドレスとの対応関係を表すデータ配置テーブルを記憶するデータ配置記憶手段を備え、前記読み出し手段は、前記論理アドレスと、前記データ配置テーブルを記憶する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第1のアドレス変換テーブルを作成して記憶する第1のテーブル記憶手段と、外部からの指示にตอบสนองし、前記第1のアドレス変換テーブルに基づいて、前記データ配置テーブルを記憶するメモリブロックの物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックより前記データ配置テーブルを読み出し、外部に供給するデータ配置テーブル検索手段と、読み出し対象の前記データを示す論理アドレスを外部より取得し、取得した前記論理アドレスに基づいて、該論理アドレスが示すメモリブロックが属するゾーンを特定するゾーン特定手段と、前記論理アドレスと、前記ゾーン特定手段が特定したゾーンに属する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第2のアドレス変換テーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2のアドレス変換テーブルを作成して記憶する第2のテーブル記憶手段と、前記第2のアドレス変換テーブルに基づいて、前記データ配置テーブル検索手段が特定した論理アドレスが示す物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックに格納されている前記データを読み出して出力するデータ検索手段と、を備える、ことを特徴とする記憶装置。

【請求項2】 前記データ検索手段が特定した物理アドレス及び該物理アドレスを示す論理アドレスを互に対応づけて記憶するアクセス履歴記憶手段を備え、前記データ検索手段は、前記アクセス履歴記憶手段が記憶する論理アドレス及び物理アドレスに基づいて、前記データ配置テーブル検索手段が特定した論理アドレスが示す物理アドレスを特定する手段を備える、ことを特徴とする請求項1に記載の記憶装置。

【請求項3】 データを記憶していない前記メモリブロックから構成される空きブロックを示す情報を格納する空きブロックテーブルを記憶する空きブロックテーブル記憶手段と、

書き込み対象のデータ及び論理アドレスが自己に供給されたとき、前記空きブロックテーブルに登録されている空きブロックの中から書き込み対象の空きブロックを選択する空きブロック選択手段と、書き込み対象の前記データを前記空きブロック選択手段により選択された空きブロックに書き込む空きブロック書込手段と、書き込み対象の前記データを書き込んだ空きブロックの物理アドレスと、前記空きブロック選択手段に供給された論理アドレスとの対応付けを表すように前記第2のアドレス変換テーブルを更新する手段と、を備える、ことを特徴とする請求項1又は2に記載の記憶装置。

【請求項4】 前記空きブロックテーブルは、前記データ配置テーブルを記憶する前記メモリブロックを含むゾーンに属する空きブロックを示す情報を格納する第1の空きブロックテーブルと、いずれかのゾーンに属する空きブロックを示す情報を格納する第2の空きブロックテーブルと、を含み、前記空きブロックテーブル記憶手段は、前記ゾーン特定手段が特定したゾーンに属する空きブロック情報を格納する前記第2の空きブロックテーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2の空きブロックテーブルを作成して記憶する手段を備え、前記空きブロック選択手段は、書き込み対象のデータ及び論理アドレスが自己に供給されたとき、前記第2の空きブロックテーブルに登録されている空きブロックのうちから書き込み対象の空きブロックを選択する手段を備え、前記空きブロック書込手段が書き込んだ前記データと、前記空きブロック選択手段に供給された論理アドレスとの対応付けを表すように更新された前記データ配置テーブルを、前記第1の空きブロックテーブルに登録されている空きブロックに書き込む手段と、更新された前記データ配置テーブルを記憶している前記メモリブロックが空きブロックであることを表さないように前記第1の空きブロックテーブルを更新する手段と、を備える、ことを特徴とする請求項3に記載の記憶装置。

【請求項5】 前記空きブロックテーブルは、前記空きブロックに循環的に付された順序を示す情報を含むものであり、最も新しくデータが格納された空きブロックの次にデータを格納されるべき空きブロックを指定する起点情報を記憶する手段を備え、前記空きブロック選択手段は、書き込み対象のデータ及び論理アドレスが自己に供給されたとき、前記起点情報が示す空きブロック以降の空きブロックを、前記空きブロックテーブルが示す順序に従って順次選択する手段を備える、

ことを特徴とする請求項3又は4に記載の記憶装置。

【請求項6】前記起点情報は、最も新しくデータが格納された空きブロックの次にデータを格納されるべき前記空きブロックの一部に記憶されており、

前記空きブロック書込手段は、

書き込み対象の前記データを書き込んだ前記空きブロックに記憶されている前記起点情報を消去する手段と、最も新しくデータを書き込んだ空きブロックの次の順序が付されている空きブロックの前記一部に前記起点情報を書き込む手段と、を備える、

ことを特徴とする請求項5に記載の記憶装置。

【請求項7】前記メモリブロックは、データ領域と冗長領域から構成され、前記起点情報は、最も新しくデータが格納された空きブロックの次にデータを格納されるべき前記空きブロックの前記冗長領域に格納されている、ことを特徴とする請求項6に記載の記憶装置。

【請求項8】各々が複数のゾーンのいずれかに属し、物理アドレスを割り当てられた、データを記憶するための複数のメモリブロックを含む記憶手段と、

前記メモリブロックに記憶されている前記データを読み出して外部に出力する読み出し手段と、を備え、

所定の前記ゾーンに属する前記メモリブロックは、前記記憶手段に記憶されているデータと該データが記憶されているメモリブロックの論理アドレスとの対応関係を表すデータ配置テーブルを記憶するデータ配置記憶手段を備え、

前記読み出し手段は、

前記論理アドレスと、前記データ配置テーブルを記憶する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第1のアドレス変換テーブルを作成して記憶する第1のテーブル記憶手段と、

前記第1のアドレス変換テーブルに基づいて、前記データ配置テーブルを記憶するメモリブロックの物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックより前記データ配置テーブルを読み出すデータ配置テーブル検索手段と、

前記データ配置テーブル検索手段が読み出した前記データ配置テーブルに基づいて、読み出し対象の前記データを示す論理アドレスを特定する論理アドレス検索手段と、

前記論理アドレス検索手段が特定した前記論理アドレスに基づいて、該論理アドレスが示すメモリブロックが属するゾーンを特定するゾーン特定手段と、

前記論理アドレスと、前記ゾーン特定手段が特定したゾーンに属する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第2のアドレス変換テーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2のアドレス変換テーブルを作成して記憶する第2のテーブル記憶手段と、

前記第2のアドレス変換テーブルに基づいて、前記論理

アドレス検索手段が特定した論理アドレスが示す物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックに格納されている前記データを読み出して出力するデータ検索手段と、を備える、

ことを特徴とする記憶システム。

【請求項9】メモリからのデータの読み出しを管理するメモリ管理方法であり、前記メモリは、各々が複数のゾーンのいずれかに属し、物理アドレスを割り当てられた、前記データを記憶するための複数のメモリブロックを含み、所定の前記ゾーンに属する前記メモリブロックが、前記データと前記データが記憶されているメモリブロックの論理アドレスとの対応関係を表すデータ配置テーブルを記憶するものであって、

前記論理アドレスと、前記データ配置テーブルを記憶する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第1のアドレス変換テーブルを作成して記憶する第1のテーブル記憶ステップと、

外部からの指示に応答し、前記第1のアドレス変換テーブルに基づいて、前記データ配置テーブルを記憶するメモリブロックの物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックより前記データ配置テーブルを読み出し、外部に供給するデータ配置テーブル検索ステップと、

読み出し対象の前記データを示す論理アドレスを外部より取得し、取得した前記論理アドレスに基づいて、該論理アドレスが示すメモリブロックが属するゾーンを特定するゾーン特定ステップと、

前記論理アドレスと、前記ゾーン特定ステップで特定されたゾーンに属する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第2のアドレス変換テーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2のアドレス変換テーブルを作成して記憶する第2のテーブル記憶ステップと、

前記第2のアドレス変換テーブルに基づいて、前記データ配置テーブル検索ステップで特定された論理アドレスが示す物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックに格納されている前記データを読み出して出力するデータ検索ステップと、を備える、ことを特徴とするメモリ管理方法。

【請求項10】各々が複数のゾーンのいずれかに属し、物理アドレスを割り当てられた、前記データを記憶するための複数のメモリブロックを含み、所定の前記ゾーンに属する前記メモリブロックが、前記データと前記データが記憶されているメモリブロックの物理アドレスを示す論理アドレスとの対応関係を表すデータ配置テーブルを記憶することを特徴とするメモリに接続されたコンピュータを、

前記論理アドレスと、前記データ配置テーブルを記憶する前記メモリブロックの物理アドレスとの対応関係を表

す情報を格納する第1のアドレス変換テーブルを作成して記憶する第1のテーブル記憶手段と、

外部の指示に応答し、前記第 1 のアドレス変換テーブルに基づいて、前記データ配置テーブルを記憶するメモリブロックの物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックより前記データ配置テーブルを読み出し、外部に供給するデータ配置テーブル検索手段と、

読み出し対象の前記データを示す論理アドレスを外部より取得し、取得した前記論理アドレスに基づいて、該論理アドレスが示すメモリブロックが属するゾーンを特定するゾーン特定手段と、

前記論理アドレスと、前記ゾーン特定手段が特定したゾーンに属する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第2のアドレス変換テーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2のアドレス変換テーブルを作成して記憶する第2のテーブル記憶手段と、

前記第2のアドレス変換テーブルに基づいて、前記データ配置テーブル検索手段が特定した論理アドレスが示す物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックに格納されている前記データを読み出して出力するデータ検索手段と、

して機能させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

### 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記録媒体を用いたデータ処理システム及び記録媒体へのアクセスを行うためのプログラムを記憶したコンピュータ読み取り可能なプログラム記録媒体に関する。

**【0002】**

【従来の技術】コンピュータ等によりアクセス（データの読み書き及び消去）可能な記録媒体として、EEPROM（Electrically Erasable/Programable Read Only Memory）フラッシュメモリが用いられている。フラッシュメモリは、データの消去が所定の記憶容量の単位（一般に「ブロック」と呼ばれる）で行われる。

【0003】フラッシュメモリのうち、特にNAND型のものは、データの記憶が正常に行えない不良ブロックの発生を製造段階で十分に防止することが困難である。このため、従来より、各ブロックに割り当てられる物理アドレスとは別個の連続した論理アドレスを正常なブロックに動的に割り当て、論理アドレスとの対応関係を表すアドレス変換テーブルを作成する等して、アドレスが不連続となることによる外部からのアクセス手順の複雑化を回避している。

【0004】ただ、ブロックに割り当てられた全ての論理アドレスと物理アドレスとの対応関係を表すアドレス変換テーブルを作成した場合、フラッシュメモリの記憶

容量が大きくなるほど、アドレス変換テーブルが含むデータの量も大きくなる。このため、アドレス変換テーブルを記憶するための記憶装置もより記憶容量が大きいものとしなければならなくなり、装置の構成が複雑となる。

【0005】そこで、従来より、各ブロックを複数のゾーンに分類し、アドレス変換テーブルは、これらのゾーンのうちの一つに属するブロックについて、論理アドレス及び物理アドレスの対応関係を表すようにする、という手法が用いられていた。この場合、他のゾーンに属するブロックへのアクセスの要求があったときは、そのゾーンに属するブロックの論理アドレス及び物理アドレスの対応関係を表すようにアドレス変換テーブルを作成し直す、という手法が用いられていた。

【0006】

【発明が解決しようとする課題】しかし、アドレス変換テーブルを作成し直す処理には、一つのゾーンに属するブロック全体を検索する処理が含まれるので、処理時間が増大する。また、一般に、OS (Operating System) の制御の下にフラッシュメモリの記憶内容を管理する場合には、OSが管理する各データとこれらデータが記憶されている論理アドレスとの対応関係を示すFAT (File Allocation Table) 等がフラッシュメモリに書き込まれる。このため、FAT等にアクセスするためのアドレス変換テーブルの作成の処理が発生する頻度が更に増大する。

【０００７】この発明は上記実状に鑑みてなされたもので、データにアクセスする際にアドレス変換テーブルを作成する頻度が少ない記憶装置、記憶システム、メモリ管理方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明の第１の観点にかかる記憶装置は、各々が複数のゾーンのいずれかに属し、物理アドレスを割り当てられた、データを記憶するための複数のメモリブロックを含む記憶手段と、前記メモリブロックに記憶されている前記データを読み出して外部に出力する読み出し手段と、を備え、所定の前記ゾーンに属する前記メモリブロックは、前記記憶手段に記憶されているデータと該データが記憶されているメモリブロックの論理アドレスとの対応関係を表すデータ配置テーブルを記憶するデータ配置記憶手段を備え、前記読み出し手段は、前記論理アドレスと、前記データ配置テーブルを記憶する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第１のアドレス変換テーブルを作成して記憶する第１のテーブル記憶手段と、外部からの指示に応答し、前記第１のアドレス変換テーブルに基づいて、前記データ配置テーブルを記憶するメモリブロックの物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックより前記データ配置テーブルを読み出し、外部に供

給するデータ配置テーブル検索手段と、読み出し対象の前記データを示す論理アドレスを外部より取得し、取得した前記論理アドレスに基づいて、該論理アドレスが示すメモリブロックが属するゾーンを特定するゾーン特定手段と、前記論理アドレスと、前記ゾーン特定手段が特定したゾーンに属する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第2のアドレス変換テーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2のアドレス変換テーブルを作成して記憶する第2のテーブル記憶手段と、前記第2のアドレス変換テーブルに基づいて、前記データ配置テーブル検索手段が特定した論理アドレスが示す物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックに格納されている前記データを読み出して出力するデータ検索手段と、を備える、ことを特徴とする。

【0009】このような記憶装置によれば、データ配置テーブルが格納されたブロックの論理アドレスを表す第1のアドレス変換テーブルは、ゾーン特定手段が特定したゾーンの如何に関わらず記憶され続ける。このため、既に記憶されているアドレス変換テーブルが、データ配置テーブルへのアクセスのために書き換えられるという事態は発生しない。このため、データにアクセスする処理の遅延が防止される。

【0010】前記記憶装置は、前記データ検索手段が特定した物理アドレス及び該物理アドレスを示す論理アドレスを互いに対応づけて記憶するアクセス履歴記憶手段を備え、前記データ検索手段は、前記アクセス履歴記憶手段が記憶する論理アドレス及び物理アドレスに基づいて、前記データ配置テーブル検索手段が特定した論理アドレスが示す物理アドレスを特定する手段を備えるものとすれば、データ配置テーブル以外のデータにアクセスする場合であっても、アクセス履歴記憶手段が記憶する論理アドレス及び物理アドレスが示すブロックに記憶されたデータへのアクセスであれば、第2のアドレス変換テーブルの作成が行われる必要はなくなる。従って、データにアクセスする処理は更に効率的となる。

【0011】前記記憶装置は、例えば、データを記憶していない前記メモリブロックから構成される空きブロックを示す情報を格納する空きブロックテーブルを記憶する空きブロックテーブル記憶手段と、書き込み対象のデータ及び論理アドレスが自己に供給されたとき、前記空きブロックテーブルに登録されている空きブロックの中から書き込み対象の空きブロックを選択する空きブロック選択手段と、書き込み対象の前記データを前記空きブロック選択手段により選択された空きブロックに書き込む空きブロック書込手段と、書き込み対象の前記データを書き込んだ空きブロックの物理アドレスと、前記空きブロック選択手段に供給された論理アドレスとの対応付けを表すように前記第2のアドレス変換テーブルを更新

する手段と、を備える、ことにより、データの書き込みを行うものであってもよい。

【0012】前記空きブロックテーブルは、前記データ配置テーブルを記憶する前記メモリブロックを含むゾーンに属する空きブロックを示す情報を格納する第1の空きブロックテーブルと、いずれかのゾーンに属する空きブロックを示す情報を格納する第2の空きブロックテーブルと、を含み、前記空きブロックテーブル記憶手段は、前記ゾーン特定手段が特定したゾーンに属する空きブロック情報を格納する前記第2の空きブロックテーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2の空きブロックテーブルを作成して記憶する手段を備え、前記空きブロック選択手段は、書き込み対象のデータ及び論理アドレスが自己に供給されたとき、前記第2の空きブロックテーブルに登録されている空きブロックのうちから書き込み対象の空きブロックを選択する手段を備え、前記空きブロック書込手段が書き込んだ前記データと、前記空きブロック選択手段に供給された論理アドレスとの対応付けを表すように更新された前記データ配置テーブルを、前記第1の空きブロックテーブルに登録されている空きブロックに書き込む手段と、更新された前記データ配置テーブルを記憶する前記メモリブロックが空きブロックであることを表さないように前記第1の空きブロックテーブルを更新する手段と、を備えるものであってもよい。これにより、データ配置テーブルを更新する際、データ配置テーブルを記憶するメモリブロックに変更が生じる場合も、ゾーン特定手段が特定したゾーンの如何に関わらず記憶されている第1の空きブロックテーブルを用いて新たなメモリブロックの割り当てが行われる。一方、データをメモリブロックに書き込む場合は、ゾーン特定手段が特定したゾーン内の空きブロックを示す第2の空きブロックテーブルを用いて新たなメモリブロックの割り当てが行われる。従って、空きブロックテーブル記憶手段の記憶容量が少ない場合であっても、データの書き込みやデータ配置テーブルの更新の処理が効率的に行われる。

【0013】前記空きブロックテーブルは、例えば、前記空きブロックに循環的に付された順序を示す情報を含むものであってもよく、最も新しくデータが格納された空きブロックの次にデータを格納されるべき空きブロックを指定する起点情報を記憶する手段を備えてもよい。この場合、前記空きブロック選択手段は、書き込み対象のデータ及び論理アドレスが自己に供給されたとき、前記起点情報が示す空きブロック以降の空きブロックを、前記空きブロックテーブルが示す順序に従って順次選択する手段を備えるものとすれば、空きブロックへの書き込みは循環的（サイクリック）になされるので、特定のメモリブロックへの書き込みの集中が回避される。このため、メモリブロックが書き込み回数の増大により劣化するようなものであるような場合には、特定のメモリブ



ロックが集中的に劣化する事態が防止される。

【0014】前記起点情報は、例えば、最も新しくデータが格納された空きブロックの次にデータを格納されるべき前記空きブロックの一部に記憶されていてもよい。この場合、前記空きブロック書込手段は、書き込み対象の前記データを書き込んだ前記空きブロックに記憶されている前記起点情報を消去する手段と、最も新しくデータを書き込んだ空きブロックの次の順序が付されている空きブロックの前記一部に前記起点情報を書き込む手段と、を備えることにより、起点情報の移動を行うようにすればよい。

【0015】前記メモリブロックは、例えば、データ領域と冗長領域から構成されてもよい。この場合、前記起点情報は、最も新しくデータが格納された空きブロックの次にデータを格納されるべき前記空きブロックの前記冗長領域に格納されているものとすればよい。

【0016】また、この発明の第2の観点に係る記憶システムは、各々が複数のゾーンのいずれかに属し、物理アドレスを割り当てられた、データを記憶するための複数のメモリブロックを含む記憶手段と、前記メモリブロックに記憶されている前記データを読み出して外部に出力する読み出し手段と、を備え、所定の前記ゾーンに属する前記メモリブロックは、前記記憶手段に記憶されているデータと該データが記憶されているメモリブロックの論理アドレスとの対応関係を表すデータ配置テーブルを記憶するデータ配置記憶手段を備え、前記読み出し手段は、前記論理アドレスと、前記データ配置テーブルを記憶する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第1のアドレス変換テーブルを作成して記憶する第1のテーブル記憶手段と、前記第1のアドレス変換テーブルに基づいて、前記データ配置テーブルを記憶するメモリブロックの物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックより前記データ配置テーブルを読み出すデータ配置テーブル検索手段と、前記データ配置テーブル検索手段が読み出した前記データ配置テーブルに基づいて、読み出し対象の前記データを示す論理アドレスを特定する論理アドレス検索手段と、前記論理アドレス検索手段が特定した前記論理アドレスに基づいて、該論理アドレスが示すメモリブロックが属するゾーンを特定するゾーン特定手段と、前記論理アドレスと、前記ゾーン特定手段が特定したゾーンに属する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第2のアドレス変換テーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2のアドレス変換テーブルを作成して記憶する第2のテーブル記憶手段と、前記第2のアドレス変換テーブルに基づいて、前記論理アドレス検索手段が特定した論理アドレスが示す物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックに格納されている前記データを読み出して出力するデータ検索手段と、を備える、ことを特徴とする。

るデータ検索手段と、を備える、ことを特徴とする。

【0017】このような記憶システムによれば、データ配置テーブルが格納されたブロックの論理アドレスを表す第1のアドレス変換テーブルは、ゾーン特定手段が特定したゾーンの如何に関わらず記憶され続ける。このため、既に記憶されているアドレス変換テーブルが、データ配置テーブルへのアクセスのために書き換えられるという事態は発生しない。このため、データにアクセスする処理の遅延が防止される。

【0018】また、この発明の第3の観点に係るメモリ管理方法は、メモリからのデータの読み出しを管理するメモリ管理方法であり、前記メモリは、各々が複数のゾーンのいずれかに属し、物理アドレスを割り当てられた、前記データを記憶するための複数のメモリブロックを含み、所定の前記ゾーンに属する前記メモリブロックが、前記データと前記データが記憶されているメモリブロックの論理アドレスとの対応関係を表すデータ配置テーブルを記憶するものであって、前記論理アドレスと、前記データ配置テーブルを記憶する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第1のアドレス変換テーブルを作成して記憶する第1のテーブル記憶ステップと、外部からの指示にตอบสนองし、前記第1のアドレス変換テーブルに基づいて、前記データ配置テーブルを記憶するメモリブロックの物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックより前記データ配置テーブルを読み出し、外部に供給するデータ配置テーブル検索ステップと、読み出し対象の前記データを示す論理アドレスを外部より取得し、取得した前記論理アドレスに基づいて、該論理アドレスが示すメモリブロックが属するゾーンを特定するゾーン特定ステップと、前記論理アドレスと、前記ゾーン特定ステップで特定されたゾーンに属する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第2のアドレス変換テーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2のアドレス変換テーブルを作成して記憶する第2のテーブル記憶ステップと、前記第2のアドレス変換テーブルに基づいて、前記データ配置テーブル検索ステップで特定された論理アドレスが示す物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックに格納されている前記データを読み出して出力するデータ検索ステップと、を備える、ことを特徴とする。

【0019】このようなメモリ管理方法によれば、データ配置テーブルが格納されたブロックの論理アドレスを表す第1のアドレス変換テーブルは、ゾーン特定ステップで特定されたゾーンの如何に関わらず記憶され続ける。このため、既に記憶されているアドレス変換テーブルが、データ配置テーブルへのアクセスのために書き換えられるという事態は発生しない。このため、データにアクセスする処理の遅延が防止される。



【0020】また、この発明の第4の観点に係るコンピュータ読み取り可能な記録媒体は、各々が複数のゾーンのいずれかに属し、物理アドレスを割り当てられた、前記データを記憶するための複数のメモリブロックを含み、所定の前記ゾーンに属する前記メモリブロックが、前記データと前記データが記憶されているメモリブロックの物理アドレスを示す論理アドレスとの対応関係を表すデータ配置テーブルを記憶することを特徴とするメモリに接続されたコンピュータを、前記論理アドレスと、前記データ配置テーブルを記憶する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第1のアドレス変換テーブルを作成して記憶する第1のテーブル記憶手段と、外部の指示にตอบสนองし、前記第1のアドレス変換テーブルに基づいて、前記データ配置テーブルを記憶するメモリブロックの物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックより前記データ配置テーブルを読み出し、外部に供給するデータ配置テーブル検索手段と、読み出し対象の前記データを示す論理アドレスを外部より取得し、取得した前記論理アドレスに基づいて、該論理アドレスが示すメモリブロックが属するゾーンを特定するゾーン特定手段と、前記論理アドレスと、前記ゾーン特定手段が特定したゾーンに属する前記メモリブロックの物理アドレスとの対応関係を表す情報を格納する第2のアドレス変換テーブルを自己が記憶しているか否かを判別し、記憶していないと判別したとき、前記第2のアドレス変換テーブルを作成して記憶する第2のテーブル記憶手段と、前記第2のアドレス変換テーブルに基づいて、前記データ配置テーブル検索手段が特定した論理アドレスが示す物理アドレスを特定し、特定した物理アドレスが示す前記メモリブロックに格納されている前記データを読み出して出力するデータ検索手段と、して機能させるためのプログラムを記録したことを特徴とする。

【0021】このような記録媒体に格納されたプログラムを実行するコンピュータによれば、データ配置テーブルが格納されたブロックの論理アドレスを表す第1のアドレス変換テーブルは、特定されたゾーンの如何に関わらず記憶され続ける。このため、既に記憶されているアドレス変換テーブルが、データ配置テーブルへのアクセスのために書き換えられるという事態は発生しない。このため、データにアクセスする処理の遅延が防止される。

【0022】

【発明の実施の形態】以下、この発明の実施の形態を、フラッシュメモリを備えた記憶システムを例とし、図面を参照して説明する。

【0023】図1は、この発明の実施の形態にかかる記憶システムの物理的構成を示すブロック図である。図示するように、この記憶システムは、メモリユニット1と、コンピュータ2とから構成されている。メモリユニ

ット1は、コンピュータ2が備えるスロットを介して、コンピュータ2に着脱可能に装着されている。コンピュータ2が備えるスロットは、例えば、PCMCIAバスを中継するためのPCMCIAスロットからなる。

【0024】メモリユニット1は、フラッシュメモリ11及びコントローラ12からなる。

【0025】フラッシュメモリ11は、例えば、EEPROM (Electrically Erasable/Programable Read Only Memory) 等の記憶装置からなる。フラッシュメモリ11は、コントローラ12が行うアクセスにตอบสนองし、コンピュータ2から供給されたデータの記憶と、記憶しているデータのコンピュータ2への供給と、記憶しているデータの消去とを行う。

【0026】フラッシュメモリ11が有する記憶領域は、例えば図2に示すように65536個のページからなり、各々のページは528バイトの記憶容量を有する。各ページに含まれるメモリセルには、連続的に0から527までの番地が与えられている。

【0027】各ページは、図示するように、先頭から512バイトの領域を占めるデータ領域と、末尾16バイトを占める冗長部とから構成される。データ領域には、本来のデータ（コンピュータ2から供給され書き込まれるデータや、コンピュータ2に供給される対象となるデータ）が格納され、冗長部には、本来のデータの内容が破壊されていないことを確認するためのエラーチェックコード等が格納される。

【0028】そして、各ページは、先頭から16ページ単位で1つのブロックを構成する。各ブロックは8キロバイトの記憶容量を有し、記憶領域全体は、4096個のブロックから構成され、先頭から連続的に0から4095までの物理ブロックアドレスを与えられている。各々のブロックに属する各ページには、連続的に0から15までのページアドレスが付与されている。

【0029】また、各々のブロックに属する各ページの冗長部には、そのブロックに割り当てられている論理ブロックアドレスの値が格納される。論理ブロックアドレスは、フラッシュメモリ11が後述する動作により読み書きされるときに、コントローラ12により、データ読み書きの単位として認識される単位である。論理ブロックアドレスが割り当てられているブロックの総量は、フラッシュメモリ11が物理的に備えるブロックの総量より小さい所定量、例えば4000個である。

【0030】そして、フラッシュメモリ11の各ブロックは、複数のゾーンへと更に分類されている。具体的には、ブロックアドレスが0～1023までの1024個のブロックが第1のゾーン（ゾーン0）を構成し、ブロックアドレスが1024～2047までの1024個のブロックが第2のゾーン（ゾーン1）を構成し、ブロックアドレスが2048～3071までの1024個のブロックが第3のゾーン（ゾーン2）を構成し、残る10

24個のブロックが第4のゾーン(ゾーン3)を構成する。そして、ゾーン0、ゾーン1、ゾーン2、及びゾーン3には、順に、0、1、2及び3のゾーンアドレスが付与されている。(なお、本明細書及び図面において、末尾に文字“h”を付した数字は、16進数を表す。)

【0031】各ゾーンに属するブロックに割り当てられる論理ブロックアドレスがとり得る値の範囲は、CPU121が実行するプログラムにより予め定められている。具体的には、例えば、ゾーン0、1、2及び3に属するブロックに割り当てられる論理ブロックアドレスは、順に、0000h以上03E7h以下、03E8h以上07CFh以下、07D1h以上0BB7h以下、0BB8h以上0F9Fh以下、の範囲の値をとるように定められている。

【0032】フラッシュメモリ11は、メモリユニット1のコントローラ12より、特定のブロックのデータを消去するよう指示されると、当該ブロックに含まれるすべてのメモリセルの記憶内容をリセットする(例えば、フラッシュメモリ11がNAND型のフラッシュメモリからなる場合は、各メモリセルの記憶値を「1」とする)。

【0033】また、フラッシュメモリ11の記憶領域には、後述する処理により、ディレクトリと、FAT(File Allocation Table)とが作成される。ディレクトリ及びFATは、フラッシュメモリ11の記憶領域のゾーン0に属する256個のブロック内に作成される。そして、ディレクトリ及びFATが格納されるブロックには、論理ブロックアドレスとして先頭の256個のアドレス(すなわち、0000h以上00FFh以下のアドレス)が付される。

【0034】図3は、ディレクトリ、FAT及び論理ブロックアドレスの相互の対応関係を示す図である。図示するように、ディレクトリ及びFATが記憶された論理ブロックアドレスは、例えば、CPU121が記憶するディレクトリポインタによって示されている。

【0035】ディレクトリは、フラッシュメモリ11内に記憶されているファイル(すなわち、一括して扱うべきものとしてコンピュータ2が指定するデータの集合)のファイル名と、そのファイルの先頭部分が記憶されている論理ブロックアドレス及びページアドレスとを示すテーブルである。

【0036】FATは、フラッシュメモリ11の記憶領域内でのファイルの配置を示すテーブルであり、ファイルが1つのページ内に収まらないとき、図3に示すように、後続の部分を記憶するページが属するブロックの論理ブロックアドレス及び当該ページのページアドレスをそれぞれ示すものである。ファイルの最終部分が記憶されているページのページアドレスは、図3に示すように、終了コード(EC)を付されることによって、そのページアドレスが最終部分を表すものであることが示さ

れる。

【0037】コントローラ12は、図1に示すように、CPU(Central Processing Unit)121と、ROM(Read Only Memory)122と、SRAM(Static Random Access Memory)123とを備えている。CPU121は、ROM122、SRAM123及びフラッシュメモリ11に接続されており、また、コンピュータ2が備えるPCMCIAスロットを介してコンピュータ2に着脱可能に接続されている。

【0038】CPU121は、コントローラ12の製造者等によって予めROM122に格納されているプログラムの処理に従って、後述する処理を行う。そして、CPU121は、アクセス装置を構成するコンピュータ2から供給される命令を取得すると、その命令を実行する。CPU121が実行する命令には、フラッシュメモリ11にアクセスする命令が含まれる。

【0039】SRAM123は、CPU121の作業領域として用いられ、また、退避用メモリ領域と、CPU121が後述する処理により作成するBSI(Block Search Index)及びBPT(Block Pointer Table)とを格納する。

【0040】退避用メモリ領域は、後述するデータ書き込みの処理において、書き込みを行う対象のページを含むブロックに格納されているデータを一時的に格納するための記憶領域である。

【0041】BSIは、ファイル管理用BSIと、一般用BSIとより構成されている。ファイル管理用BSIは、フラッシュメモリ11の記憶領域のうちのゾーン0に属する各ブロックについて、そのうちいずれが空きブロック(すなわち、リセットされた状態にあるブロック)であるかを特定する情報を格納する。一般用BSIは、フラッシュメモリ11の記憶領域のうちの1個のゾーンに属する各ブロックについて、そのうちいずれが空きブロックであるかを特定する情報を格納する。ファイル管理用BSI及び一般用BSIは、いずれも、コントローラ12の後述する処理に従って作成及び更新され、SRAM123に格納される。

【0042】また、CPU121は、後述する処理により、一般用BSIがいずれのゾーンに属する空きブロックを特定しているかを示す情報を記憶するかを示すゾーン情報を作成し、SRAM123に格納する。

【0043】フラッシュメモリ11の各ブロックの総数が1024個ずつであるときの一般用BSIの構造の一例を図4に示す(ファイル管理用BSIのデータ構造も一般用BSIと実質的に同一である)。図示するように、一般用BSIはいずれも128バイトのデータからなり、先頭のビットから順に、ゾーン情報が示すゾーンの先頭のブロックから1024個目のブロックに順に1対1に対応づけられており、対応づけられたブロックが空きブロックであるとき“1”、空きブロックでないとき

き”0”を格納する。

【0044】BPTは、ファイル管理用BPTと、一般用BPTとより構成されている。ファイル管理用BPTは、ディレクトリ及びFATを格納している各ブロックについて、その論理ブロックアドレス及び物理ブロックアドレスの対応関係を示す情報を格納するものである。一般用BPTは、BSIが空きブロックを特定しているゾーンと同一のゾーン（すなわち、SRAM123に格納されているゾーン情報が示すゾーン）に属する各ブロックについて、その論理ブロックアドレス及び物理ブロックアドレスの対応関係を示す情報を格納するものである。一般用BPTがゾーン0に属するブロックの論理ブロックアドレス及び物理ブロックアドレスの対応関係を示している場合、ディレクトリ及びFATを格納している各ブロックについて、その論理ブロックアドレス及び物理ブロックアドレスの対応関係は、ファイル管理用BPT及び一般用BPTの両方により表される。ファイル管理用BPT及び一般用BPTは、いずれも、CPU121による後述の処理に従って作成あるいは更新され、SRAM123に格納される。

【0045】ファイル管理用BPT及び一般用BPTは、各々、SRAM123の記憶領域中の所定の論理的位置を占め、各々の論理ブロックアドレスに対応付けられた物理ブロックアドレスを記憶するための記憶領域を備える。

【0046】ファイル管理用BPT及び一般用BPTは、具体的には、例えば図5に示すデータ構造を有する。すなわち、例えば、ファイル管理用BPTは、図示するように、先頭から1ワード毎に付されたアドレスが0000h~00FFhである、合計256ワードの記憶領域を備える。また、一般用BPTは、例えば、各々のゾーンに属するブロックを示す論理ブロックアドレスの総数が1000個である場合、例えば図示するように、先頭から1ワード毎に付されたアドレスが1000h~13E7hである、合計1000ワードの記憶領域を備える。

【0047】そして、ファイル管理用BPTを形成する記憶領域に付された各々のアドレスは論理ブロックアドレスに等しい。そして、各々のアドレスを付された1ワードの記憶領域に格納されている内容は、当該アドレスが示す論理ブロックアドレスに対応付けられているブロックの物理ブロックアドレスを表す。

【0048】一方、一般用BPTを形成する記憶領域に付された各々のアドレスは、論理ブロックアドレスと、一般用BPTを形成する記憶領域に付されたアドレスの最小値（オフセット値）との和から、上述のゾーン情報が示すゾーンの番号に03E8h（すなわち、10進数1000）を乗じた数を差し引いた値に等しい。そして、各々のアドレスを付された1ワードの記憶領域に格納されている内容は、当該アドレスが示す論理ブロック

アドレスに対応付けられているブロックの物理ブロックアドレスを表す。

【0049】具体的には、例えば図5に示すように、アドレス1001hを付された記憶領域に値”0A10h”が格納されており、オフセット値が1000hであり、ゾーン情報がゾーン2を表しているとする。この場合は、物理ブロックアドレスが0A10hであるブロックには、論理ブロックアドレスとして07D1hが対応付けられている。

【0050】ただし、各々のアドレスを付された記憶領域に格納されている内容が所定の値を表す場合（例えば、図示するように、値”0FFFh”を表す場合）は、その値を格納している記憶領域のアドレスが示す論理ブロックアドレスには、物理ブロックアドレスが対応付けられていないことを表す。

【0051】コンピュータ2はパーソナルコンピュータ等からなり、PCMCIAスロットを備え、OS及びドライバを表すプログラムデータを記憶し、電源投入後、OSを実行する。そして、PCMCIAスロットにメモリユニット1が装着されたことを検知すると、OSの処理に従ってドライバを起動する。

【0052】ドライバの処理を行うコンピュータ2は、コントローラ12に上述の命令を供給したり、フラッシュメモリ11に書き込む対象のデータを供給して、CPU121に、フラッシュメモリ11へのアクセスを行わせる。そして、自らが供給した命令に従ってCPU121がフラッシュメモリ11から読み出して自らに供給したデータを、CPU121より取得する。

【0053】（動作）次に、この記憶システムの動作を、図6~図11を参照して説明する。図6は、初期処理を示すフローチャートである。図7は、データ読み出しの処理を示すフローチャートである。図8は、一般用BSI・一般用BPTの作成の処理を示すフローチャートである。図9は、データ書き込みの処理を示すフローチャートである。図10は、FAT更新の処理を示すフローチャートである。図11は、データ転記の処理を示すフローチャートである。

【0054】（初期処理）この記憶システムが起動すると、メモリユニット1のコントローラ12のCPU121は、図6に示す初期処理を実行する。初期処理を開始すると、CPU121は、SRAM123の記憶領域のうち、BPT及びBSIを格納する部分の初期化を行う（ステップS101）。

【0055】ステップS101においてCPU121は、具体的には、SRAM123の記憶領域のうちファイル管理用BPT及び一般用BPTを格納する部分について、1ワード毎に付された上述のアドレスにより示される各区分に、物理ブロックアドレスが対応付けられていないことを示す所定の値（例えば、上述の値”0FFFh”）を書き込む。また、ファイル管理用BSI及び

一般用BSIを格納する部分のビットの論理値を、すべて“0”とする。また、ゾーン情報を格納する部分には、ゾーン0を示すゾーン情報を格納する。

【0056】次に、CPU121は、フラッシュメモリ11のゾーン0に属する各ブロックのうち、未だ冗長部に格納されているデータを読み出されていないブロックであって最も物理ブロックアドレスが若いものを特定し、特定されたブロックに属するページの冗長部に格納されているデータを読み出す（ステップS102）。

【0057】次に、CPU121は、ステップS102で読み出したデータに基づき、ステップS102でデータを読み出したブロックが空きブロックであるか否かを判別する（ステップS103）。具体的には、例えば、ステップS102で読み出したデータに、所定の形式の空きブロックコードが格納されているか否かを判別する。そして、空きブロックでないと判別すると、CPU121は、処理をステップS106に移す。

【0058】一方、空きブロックであると判別すると、CPU121は、その空きブロックを示す物理ブロックアドレスから、ファイル管理用BSIを格納するためのSRAM123の記憶領域中、その物理ブロックアドレスを示すビットの位置を算出し、そのビットの論理値を“1”に書き換える（ステップS104）。また、一般用BSIを格納するためのSRAM123の記憶領域中、その物理ブロックアドレスを示すビットの位置も算出し、そのビットの論理値も“1”に書き換える（ステップS105）。ステップS104及びS105の処理を終えると、CPU121は処理をステップS109に移す。

【0059】一方、ステップS106で、CPU121は、ステップS102で読み出したデータのうちに、先頭の256個に属する論理ブロックアドレス、すなわち、“0000h”以上“00FFh”以下の論理ブロックアドレスが含まれているか否かを判別する。

【0060】そして、含まれていないと判別すると、一般用BPTを格納するためのSRAM123の記憶領域中、フラッシュメモリ11から読み出した論理ブロックアドレスに相当するアドレスを付された部分に、その論理ブロックアドレスを読み出したブロックの物理ブロックアドレスを書き込み（ステップS107）、処理をステップS109に移す。これにより、一般用BPTに、物理ブロックアドレスと論理ブロックアドレスとの対応付けを示す新たな情報が追加される。

【0061】一方、含まれていると判別すると、ファイル管理用BPTを格納するためのSRAM123の記憶領域中、フラッシュメモリ11から読み出した論理ブロックアドレスに相当するアドレスを付された部分に、その論理ブロックアドレスを読み出したブロックの物理ブロックアドレスを書き込み（ステップS108）、処理をステップS109に移す。これにより、ファイル管理

用BPTに、物理ブロックアドレスと論理ブロックアドレスとの対応付けを示す新たな情報が追加される。

【0062】ステップS109で、CPU121は、ステップS102で冗長部に格納されているデータを読みとられたブロックの次のブロックがフラッシュメモリ11のゾーン0に存在するか否かを判別する。そして、存在すると判別すると処理をステップS102に戻し、存在しないと判別すると、初期処理を終了する。

【0063】以上説明した初期処理により、ゾーン0の一般用BSI及びゾーン0の一般用BPTと、ファイル管理用BSIと、ファイル管理用BPTとが作成される。

【0064】（データ読み出しの処理）初期処理が終了すると、メモリユニット1のCPU121は、コンピュータ2より、フラッシュメモリ11へのアクセスの指示を受け付ける。コンピュータ2は、CPU121にフラッシュメモリ11からのデータの読み出しを指示するときは、まず、ディレクトリ及びFATを読み出すため、読み出しを指示する命令と、ディレクトリ及びFATが記憶されているブロックの論理ブロックアドレスを、CPU121に供給する（図7、ステップS201）。

【0065】データの読み出しを指示する命令と、論理ブロックアドレスとを供給されたCPU121は、論理ブロックアドレスをキーとしてファイル管理用BPTを検索し、ディレクトリ及びFATが記憶されているブロックの物理ブロックアドレスを索出し、当該物理ブロックアドレスが示すブロックよりディレクトリ及びFATを読み出して、コンピュータ2に供給する（ステップS202）。コンピュータ2は、自己に供給されたディレクトリ及びFATを一時記憶する。

【0066】コンピュータ2は、CPU121よりディレクトリ及びFATを供給されると、データを読み出す対象のファイルのファイル名をキーとして、CPU121より供給されたディレクトリを検索し、そのファイル名を有するファイルの内容が格納されている先頭のページの論理ブロックアドレス及びページアドレスを索出する（ステップS203）。

【0067】また、コンピュータ2は、ステップS203で索出した論理ブロックアドレス及びページアドレスをキーとして、CPU121から供給されたFATを検索し、ディレクトリから論理ブロックアドレス及びページアドレスを索出されたページに後続するページの論理ブロックアドレス及びページアドレスがあれば、すべて索出し、該当するページが連続する順序を特定する（ステップS204）。

【0068】そして、コンピュータ2は、ステップS203及びS204で索出されたページの記憶内容を読み出すため、読み出しを指示する命令と、ステップS203及びS204で索出されたページであって未だデータを読み出されていないページのうち先頭のページの論理

ブロックアドレス及びページアドレスとを、CPU121に供給する(ステップS205)。

【0069】CPU121は、ステップS205で、読み出しを指示する命令と、論理ブロックアドレス及びページアドレスを供給されると、供給された論理ブロックアドレスを割り当てられるゾーンを特定する(ステップS206)。

【0070】そして、CPU121は、SRAM123に格納されているゾーン情報を読み出し、読み出したゾーン情報が示すゾーンと、ステップS205で特定したゾーンとが一致するか否かを判別する(ステップS207)。

【0071】そして、両者が一致するとステップS207で判別したとき、CPU121は、処理をステップS209に移す。一方、一致しないと判別したとき、CPU121は、ステップS206で特定したゾーン(すなわち、読み出す対象のブロックが属するゾーン)について、図8に示す一般用BSI・一般用BPT作成の処理を行って、新たなBSI及び一般用BPTを作成する(ステップS208)。

【0072】図8の処理を開始するとCPU121は、ステップS206で特定されたゾーンに属する各ブロックのうち、未だ冗長部に格納されているデータを読み出されていないブロックであって最も物理ブロックアドレスが若いものを特定し、特定されたブロックに属するページの冗長部に格納されているデータを読み出す(図8、ステップS301)。

【0073】次に、CPU121は、ステップS301で読み出したデータに基づき、ステップS103と実質的に同一の手法により、ステップS301でデータを読み出したブロックが空きブロックであるか否かを判別する(ステップS302)。

【0074】そして、空きブロックでないと判別すると、CPU121は、処理をステップS304に移す。一方、空きブロックであると判別すると、CPU121は、その空きブロックを示す物理ブロックアドレスから、一般用BSIを格納するためのSRAM123の記憶領域中、その物理ブロックアドレスを示すビットの位置を算出し、そのビットの論理値を"1"に書き換え(ステップS303)、処理をステップS305に移す。

【0075】ステップS304で、CPU121は、一般用BPTを格納するためのSRAM123の記憶領域中、ステップS301でフラッシュメモリ11から読み出したデータに含まれる論理ブロックアドレスに相当するアドレスを付された部分に、その論理ブロックアドレスを読み出したブロックの物理ブロックアドレスを書き込み、処理をステップS305に移す。これにより、一般用BPTに、物理ブロックアドレスと論理ブロックアドレスとの対応付けを示す新たな情報が追加される。

【0076】ステップS305で、CPU121は、冗長部に格納されているデータをステップS301で読みとられたブロックの次のブロックが、ステップS206で特定されたゾーンに存在するか否かを判別する。そして、存在すると判別すると処理をステップS301に戻し、存在しないと判別すると、SRAM123に、ステップS206で特定されたゾーンを示すゾーン情報を書き込んで(ステップS306)、一般用BSI・一般用BPT作成の処理を終了する。

【0077】ステップS208で一般用BSI・一般用BPT作成の処理を完了したCPU121は、図7に示すステップS209へと処理を進める。ステップS209で、CPU121は、ステップS205でコンピュータ2より供給された論理ブロックアドレスをキーとして一般用BPTを検索し、その論理ブロックアドレスに対応付けられた物理ブロックアドレスを索出する。そして、CPU121は、ステップS209で索出した物理ブロックアドレス及びページアドレスが示すページよりデータを読み出して、コンピュータ2に供給する(ステップS210)。

【0078】コンピュータ2は、CPU121より読み出し対象のデータを供給されると、ステップS203及びS204で索出されたページのうちに未だデータを読み出されていないページがあるか否かを判別する(ステップS211)。そして、該当するページがあると判別したときは処理をステップS205に戻し、ないと判別したときは処理を終了する。

【0079】以上説明したステップS201～S211の処理により、フラッシュメモリ11よりデータが読み出され、コンピュータ2へと供給される。この記憶システムにおいては、ディレクトリやFATを読み出す処理のためにファイル管理用BPTが作成し直される、といったことがない。このため、データの読み出しの処理の間にBPTの作成をやり直す回数の増加や、BPTの作成をやり直す処理の時間の増加が防止される。

【0080】(データ書き込みの処理)また、フラッシュメモリ11へのデータの書き込みを行う場合、まず、コンピュータ2は、ディレクトリ及びFATを読み出すため、上述のステップS201と同様に、読み出しを指示する命令と、ディレクトリ及びFATが記憶されているブロックの論理ブロックアドレスを、CPU121に供給する(図9、ステップS401)。

【0081】データの読み出しを指示する命令と、論理ブロックアドレスとを供給されたCPU121は、上述のステップS202と実質的に同一の処理を行うことによりディレクトリ及びFATを読み出して、コンピュータ2に供給する(ステップS402)。コンピュータ2は、自己に供給されたディレクトリ及びFATを一時記憶する。

【0082】次に、コンピュータ2は、フラッシュメモ

り11に書き込む対象のファイルのファイル名をキーとして、CPU121より供給されたディレクトリを検索し、そのファイル名を有するファイルの内容が格納されている先頭のページの論理ブロックアドレス及びページアドレスを索出する(ステップS403)。

【0083】そして、当該論理ブロックアドレス及びページアドレスが索出されたか否かを判別する(ステップS404)。そして、あると判別したときは、ステップS403で索出した論理ブロックアドレス及びページアドレスをキーとして、CPU121から供給されたFATを検索し、ディレクトリから論理ブロックアドレス及びページアドレスを索出されたページに後続するページの論理ブロックアドレス及びページアドレスがあれば、すべて索出し、該当するページが連続する順序を特定し(ステップS405)、処理をステップS407に移す。

【0084】一方、ないと判別したとき、この記憶システムは、図10に示すFAT更新の処理を行う(ステップS406)。図10の処理を開始すると、まず、コンピュータ2は、CPU121に、フラッシュメモリ11へのデータの書き込みを指示する命令と、ディレクトリ及びFATが格納されるブロックの論理ブロックアドレスとを供給する(ステップS501)。

【0085】なお、コンピュータ2は、例えば、ステップS401でコンピュータ2に供給されたディレクトリ及びFATを解析して、データが書き込まれていないページの論理ブロックアドレス及びページアドレスを特定する。そして、特定した論理ブロックアドレス及びページアドレスが示すページに書き込み対象のデータを書き込むことを決定する。そして更に、自己が一時記憶しているディレクトリ及びFATを、当該決定の結果を表すように更新する。これにより、フラッシュメモリ11に新たに書き込むべきディレクトリ及びFATが作成される。

【0086】一方、データの書き込みを指示する命令と、ディレクトリ及びFATが格納されるブロックの論理ブロックアドレスとを供給されたCPU121は、新たなディレクトリ及びFATを格納するための256個の空きブロックの物理ブロックアドレスを、ファイル管理用BSIより索出する(ステップS502)。

【0087】そして、CPU121はファイル管理用BSIにもアクセスし、ファイル管理用BSIの内容が、ステップS502で物理ブロックアドレスを索出されたブロックが空きブロックであることを表さないように、ファイル管理用BSIの内容を書き換える(ステップS503)。

【0088】次に、CPU121は、コンピュータ2に、書き込む対象のデータを供給するよう指示し、コンピュータ2は、この指示に従って、自己が一時記憶するディレクトリ及びFATをCPU121に供給する。そ

して、CPU121は、コンピュータ2より供給されたディレクトリ及びFATを、ステップS502で物理ブロックアドレスを索出されたブロックの先頭以降に順次書き込む(ステップS504)。また、ステップS504において、CPU121は、ステップS502で物理ブロックアドレスを索出されたブロックの各ページの冗長部に、ステップS501でコンピュータ2から供給された論理ブロックアドレスを書き込む。

【0089】また、CPU121はファイル管理用BPTにもアクセスし、ファイル管理用BPTのうち、ステップS402でFAT及びディレクトリの読み出しの対象としたブロックの物理ブロックアドレスが格納されている記憶領域に、S504での書き込みが完了したブロックの物理ブロックアドレスを上書きする(ステップS505)。これにより、ステップS402で読み出されたFAT及びディレクトリ(以下、「古いFAT等」と呼ぶ)が格納されているブロックに従前対応付けられていた論理ブロックアドレスは、新たに書き込みが完了したブロックに対応付けられる。

【0090】ステップS505の処理が完了すると、CPU121はFAT更新の処理を終了する。FAT更新の処理が終わると、CPU121は、コンピュータ2にFAT更新の処理が完了したことを通知する。

【0091】コンピュータ2は、ステップS404の処理の後、ステップS405の処理を終え又はCPU121よりFAT更新の処理の完了を通知されると、CPU121に、フラッシュメモリ11へのデータの書き込みを指示する命令と、書き込む対象のファイルに含まれるデータを書き込むページの論理ブロックアドレス及びページアドレスとを供給する(図9、ステップS407)。

【0092】なお、ステップS407でコンピュータ2からCPU121に供給される論理ブロックアドレス及びページアドレスは、(a)ステップS403で索出された論理ブロックアドレス及びページアドレスが示すページのうち、未だデータが書き換えられていない先頭のページ、又は、(b)ステップS406のFAT更新の処理において新たなディレクトリ及びFATを作成する際に、新たにデータを書き込むことと決定したページのうち、未だデータを格納されていない先頭のページ、を示すものであればよい。

【0093】ステップS407でデータの書き込みを指示する命令と、論理ブロックアドレス及びページアドレスとを供給されたCPU121は、供給された論理ブロックアドレスを割り当てられているゾーンを特定する(ステップS408)。そして、CPU121は、SRAM123に格納されているゾーン情報を読み出し、読み出したゾーン情報が示すゾーンと、ステップS408で特定したゾーンとが一致するか否かを判別する(ステップS409)。



【0094】そして、両者が一致するとステップS409で判別したとき、CPU121は、処理をステップS411に移す。一方、一致しないと判別したとき、CPU121は、ステップS408で特定したゾーンを、上述のステップS206で特定されたものと同一に扱って、図8の一般用BSI・一般用BPT作成の処理と実質的に同一の処理を行い、新たなBSI及び一般用BPTを作成し（ステップS410）、処理をステップS411に移す。

【0095】ステップS411で、CPU121は、ステップS407で自己に供給された論理ブロックアドレスをキーとして一般用BPTを検索し、その論理ブロックアドレスに対応づけられた物理ブロックアドレスを索出する。そして、CPU121は、ステップS411で物理ブロックアドレスが索出されたか否かを判別する（ステップS412）。

【0096】そして、索出されなかったと判別すると、CPU121は、SRAM123の退避用メモリ領域に格納されているデータを消去する（具体的には、例えば、退避用メモリ領域に格納されているデータの各ビットをすべて値“1”に更新する）ことにより、退避用メモリ領域の初期化を行い（ステップS413）、処理をステップS415に移す。一方、索出されたと判別すると、CPU121は、索出された物理ブロックアドレスが示すブロックに格納されているデータを読み出して、SRAM123の退避用メモリ領域に格納し（ステップS414）、処理をステップS415に移す。

【0097】ステップS415で、CPU121は、新たにデータを書き込むための1個の空きブロックの物理ブロックアドレスを、一般用BSIより索出する。そして、CPU121は、図11に示すデータ転記の処理を行う（ステップS416）。

【0098】データ転記の処理を開始すると、CPU121は、後述のステップS603及びS604の処理でデータを書き込む対象のページを示す変数を格納するレジスタ（書き込み用レジスタ）の使用を宣言し、書き込み用レジスタに、ステップS415で索出されたブロックの先頭ページのページアドレスを格納する（図11、ステップS601）。

【0099】次に、CPU121は、書き込み用レジスタに現に格納されているページアドレスが、ステップS407でコンピュータ2から供給されたページアドレスと一致するか否かを判別する（ステップS602）。

【0100】そして、一致すると判別すると、CPU121は、コンピュータ2に、書き込む対象のファイルに含まれるデータのうち、書き込み用レジスタに格納されているページアドレスが示すページに格納すべき部分を供給するよう指示し、コンピュータ2は、この指示に従って、該当するデータをCPU121に供給する。CPU121は、コンピュータ2より供給されたこのデータ

を、ステップS415で索出された物理ブロックアドレス及び書き込み用レジスタに格納されているページアドレスとより特定されるページに書き込み（ステップS603）、処理をステップS605に移す。

【0101】一方、ステップS602において、2個のページアドレスが一致しないと判別すると、CPU121は、ステップS414で退避用メモリ領域に転記したデータのうち、転記元のブロック（すなわち、ステップS414でデータを読み出したブロック）中、書き込み用レジスタに格納されているページアドレスと同一のページアドレスが示すページに格納されていた部分を、退避用メモリ領域から読み出す。そして、CPU121は、読み出したデータを、ステップS415で索出された物理ブロックアドレス及び書き込み用レジスタに格納されているページアドレスとより特定されるページに書き込み（ステップS604）、処理をステップS605に移す。

【0102】ステップS605で、CPU121は、書き込み用レジスタに格納されているページアドレスが、書き込み対象のブロックの最終ページを示しているか否かを判別する。そして、示していないと判別すると、書き込み用レジスタに格納されているページアドレスをインクリメントする(ステップS606)。すなわち、書き込み用レジスタに格納されているページアドレスを、現に格納されているページアドレスが示すページの次のページを示すように更新する。ステップS606の処理を終えると、CPU121は、処理をステップS602に戻す。

【0103】一方、ステップS605で、書き込み用レジスタに格納されているページアドレスが、書き込み対象のブロックの最終ページを示していると判別すると、CPU121はデータ転記の処理を終了し、図9に示すステップS418に処理を進める。

【0104】ステップS418で、CPU121は一般用BPTにアクセスし、一般用BPTのうち、ステップS411で索出された物理ブロックアドレスが格納されている記憶領域に、ステップS417のデータ転記の処理で新たにデータが書き込まれたブロックの物理ブロックアドレスを上書きする。ただし、ステップS411で物理ブロックアドレスが索出されなかった場合は、一般用BPTのうち、物理ブロックアドレスが対応付けられていないことを示す所定の値(例えば、上述の値“0FFFFh”)が格納されている記憶領域に上書きする。

【0105】これにより、新たにデータを書き込まれたブロックを示す物理ブロックアドレスには、ステップS411で検索された物理ブロックアドレスに従前対応付けられていた論理ブロックアドレス、又は従前いずれの物理ブロックアドレスにも対応付けられていなかった論理ブロックアドレスが、新たに対応付けられる。

【0106】次に、CPU121は、ステップS411



において物理ブロックアドレスが索出されたかを再び判別し（ステップS419）、索出されなかったと判別すると、処理を後述のステップS422に移す。

【0107】一方、索出されたと判別すると、CPU121は、ステップS411で索出された物理ブロックアドレスが示すブロック（すなわち、データ転記の処理における転記元のブロック）をリセットし、リセットしたブロックに属するページの冗長部に、空きブロックコードを書き込む（ステップS420）。次いで、CPU121は一般用BSIにもアクセスし、ステップS420でリセットされたブロックが空きブロックであることを表すように、一般用BSIの内容を書き換え（ステップS421）、コンピュータ2に書き込みの完了を通知する。

【0108】ステップS421でCPU121より通知を受けたコンピュータ2は、フラッシュメモリ11に書き込む対象のページがまだ残っているか否かを判別する（ステップS422）。そして、残っていると判別すると処理をステップS407に戻す。一方、残っていないと判別したとき、この記憶システムは、図11に示すFAT更新の処理と実質的に同一の処理を再度行って（ステップS423）、データ書き込みの処理を終了する。

【0109】ただし、ステップS423のFAT更新の処理において、コンピュータ2は、ステップS407でCPU121に供給した論理ブロックアドレス及びページアドレスが書き込み対象のデータのファイル名に対応付けられるように、自己が一時記憶しているディレクトリ及びFATを更新することにより、新たに書き込むべきディレクトリ及びFATを作成する。

【0110】以上説明した処理により、コンピュータ2から供給されたデータがフラッシュメモリ11に格納される。また、一般用BSIの内容が、データの書き込みの結果新たに生じた空きブロック及び消滅した空きブロックを示すよう変更される。また、ファイル管理用BSIの内容は、FAT等の更新の結果ゾーン0に新たに生じた空きブロック及び消滅した空きブロックを示すよう変更される。一方、一般用BPTの内容も変更され、新たに空きブロックとなったブロックに割り当てられていた論理ブロックアドレスが、そのブロックに従前から記録されていたデータの転記を受けたブロックに新たに割り当てられる。また、ファイル管理用BPTの内容は、古いFAT等が格納されているブロックに従前割り当てられていた論理ブロックアドレスが、更新後のFAT及びディレクトリを新たに格納したブロックに新たに割り当てられるよう変更される。

【0111】なお、この記憶システムの構成は、上述のものに限られない。例えば、フラッシュメモリ11の記憶領域のゾーンの数、ブロックの数、1ブロック当たりのページの数、各ページの記憶容量、データ領域及び冗長部の記憶容量は、いずれも任意である。また、フラッ

シュメモリ11は、EEPROMから構成されるものである必要はなく、コンピュータにより読み書き可能な任意の記憶装置であってよい。

【0112】また、ディレクトリ及びFATが格納されるゾーンはゾーン0である必要はなく、いずれか所定のゾーンであればよい。そして、この記憶システムは、図6に示す初期処理においては、ディレクトリ及びFATが格納されているゾーンの一般用BPTを作成するようにすればよい。また、ディレクトリ及びFATが格納されるブロックの論理アドレスは上述の値である必要はなく、また、ディレクトリ及びFATが格納されるブロックは256個である必要はなく、任意の個数であってよい。また、ディレクトリ及びFATが記憶されているブロックに割り当てられる論理ブロックアドレスの値も上述の値に限られず、予め任意に定められた値が割り当てられてよい。

【0113】また、フラッシュメモリ11の記憶領域内においてデータが格納されている記憶領域を示す情報の形式は任意である。従って、例えば、フラッシュメモリ11の記憶領域の大きさに相当する大きさの仮想の記憶領域を、シリンダ、ヘッド及びセクタの3段階の階層に従って区分した場合の各区画を表すCHS（Cylinder-Head-Sector）形式の情報を、物理ブロックアドレス及びページアドレスに代えて用いてもよい。また、論理ブロックアドレスがCHS形式に従っていてもよい。

【0114】また、CPU121は、CPU121が過去にアクセスしたデータについて、そのデータが格納されているページの論理ブロックアドレス及び物理ブロックアドレスを互に対応づけてSRAM123に格納したり、あるいは自己が記憶するようにしてもよい。

【0115】これにより、例えば、フラッシュメモリ11に格納されているファイルのファイル名が階層構造を有するように構成されている場合において、同一階層に属する異なるファイルのデータを連続して読み出す処理の高速化が図られる。すなわち、（a）ファイル名が、1個以上の階層の名称を含んでいて、（b）各々の階層の名称をファイル名とするファイル（フォルダ）が、その階層の直近の下位の階層を表すフォルダの論理的な位置（すなわち、論理ブロックアドレス及びページアドレス）及び名称（フォルダ名）を格納している、ような場合において、同一階層に属する異なるファイルのデータを連続して読み出す処理が高速化される。

【0116】以下、具体的に説明すると、例えば、マイクロソフト社のMS-DOS（商標）により管理されるファイルの場合、ファイルは、記号「 $\backslash$ 」で区切られた文字列から構成されるフォルダ名により特定され、2個の記号「 $\backslash$ 」に挟まれた文字列が階層の名称を構成し、ファイル名の先頭に近い文字列ほど上位の階層を示すものである。

【0117】そして、ファイルの内容が格納されている

先頭ページの論理ブロックアドレス及びページアドレスを特定するためには、ファイル名に含まれる最上位の階層を示すフォルダ名を有するフォルダについて、その論理的な位置をFATを用いて特定して読み出す。次に、読み出したフォルダに含まれるフォルダ名及びそのフォルダ名を有する下位のフォルダの論理的な位置を特定して読み出す。以下、ファイルの内容の論理的な位置が特定されるまで、順次下位のフォルダのフォルダ名及び論理的な位置を特定して読み出す動作を繰り返す。

【0118】このように、ファイル名が階層構造を有する場合、フォルダを読み出す処理として上述のステップS201～S211の処理を行う記憶システムは、ファイルを読み出すために連続して読み出される複数のフォルダが、フラッシュメモリ11の互いに異なるゾーンに格納されていると、各々のフォルダを読み出す度に、ステップS208における一般用BSI・一般用BPTの作成を行う。このため、このようなファイルが同一階層内に複数あるときは、これらの各ファイルの内容を連続して読み出す場合は、読み出しの処理の時間に占める一般用BSI・一般用BPT作成の処理の比率が大きくなり、読み出しの処理の所要時間が増大する。

【0119】しかし、CPU121が、自己が過去にアクセスしたデータが格納されているページの論理ブロックアドレス及び物理ブロックアドレスを互に対応づけてSRAM123に格納したり、あるいは自己が記憶するようにしたとする。そして、ステップS207での判別の後、ステップS208に処理を移す前に、CPU121が、SRAM123又はCPU121自身が記憶しているこの論理ブロックアドレス及び物理ブロックアドレスを検索し、コンピュータ2より供給された論理ブロックアドレスに対応づけられた物理ブロックアドレスが索出された場合は、索出された物理ブロックアドレスをステップS209で索出されたものとして扱うことを決定し、処理をステップS210に移すようにする。

【0120】すると、SRAM123に格納されている一般用BPTが論理ブロックアドレスと物理ブロックアドレスとの対応関係を示すゾーンと、読み出す対象のフォルダないしファイルが格納されているゾーンとが異なっているとしても、読み出す対象のフォルダないしファイルの論理ブロックアドレス及び物理ブロックアドレスがSRAM123あるいはCPU121に記憶されていれば、ステップS208の処理が回避される。従って、読み出しの処理の所要時間が短縮される。

【0121】例えば、2個のファイル（ファイル名が“work0\teldevice\ddc\data0\file000.dat”であるファイル、及びファイル名が“work0\teldevice\ddc\data0\file001.dat”であるファイル）を連続して読み出す場合を例として説明する。

【0122】この場合において、フォルダ名が“work0”、“teldevice”、“ddc”及び“data0”であるフォルダ

が、順に、ゾーン1、ゾーン2、ゾーン3及びゾーン0に格納されていて、ファイル名が“file000.dat”及び“file001.dat”であるファイルがいずれもゾーン1に格納されているとする。

【0123】このときCPU121は、(1)ディレクトリ及びFATを読み、(2)次いで、フォルダ名が“work0”、“teldevice”、“ddc”及び“data0”であるフォルダ、ファイル名が“file000.dat”であるファイルを順に読み、(3)次いで再びディレクトリ及びFATを読み、(4)次いで、フォルダ名が“work0”、“teldevice”、“ddc”及び“data0”であるフォルダ及びファイル名が“file001.dat”であるファイルを順に読む、という動作を行う。

【0124】このため、CPU121は、順に、ゾーン0、1、2、3、0、1、0、1、2、3、0及び1にアクセスする必要がある。従って、フォルダを読み出す処理として上述のステップS201～S211の処理を行う記憶システムのCPU121は、一般用BPTの作成を上述の(2)及び(4)の動作で各5回、計10回行う必要がある。

【0125】しかし、SRAM123あるいはCPU121が、フォルダ名“work0”、“teldevice”、“ddc”及び“data0”のフォルダが格納されているページの論理ブロックアドレス及び物理ブロックアドレスを互に対応づけて記憶し、ステップS207での判別の後、ステップS208に処理を移す前に、CPU121が、SRAM123又はCPU121自身が記憶しているこれらの論理ブロックアドレス及び物理ブロックアドレスを索出して、ステップS209で索出されたものとして扱うようにすれば、上述の(4)での5回の一般用BPTの作成が省略される。

【0126】なお、SRAM123やCPU121は、CPU121が過去にアクセスしたデータ全ての論理ブロックアドレス及び物理ブロックアドレスを記憶する必要はない。従って、例えば、SRAM123が、CPU121が過去にアクセスしたデータ全ての論理ブロックアドレス及び物理ブロックアドレスを記憶するための所定の記憶領域を備え、CPU121は、この記憶領域に格納し得る限度において、自己が過去にアクセスしたデータの論理ブロックアドレス及び物理ブロックアドレスをこの記憶領域に格納するようにしてもよい。

【0127】また、上述のステップS406やS423の処理においてファイル管理用BSIを検索して空きブロックの物理ブロックアドレスを索出するとき、また、上述のステップS415の処理において一般用BSIを検索して空きブロックの物理ブロックアドレスを索出するとき、CPU121は、ステップS406、S417及びS423の処理において最後にデータが書き込まれた空きブロックの次のブロック以降の空きブロックを、ゾーン毎に、物理ブロックアドレスが若いものから順次

索出する（ただし、後続の空きブロックがないときは、先頭の空きブロックを索出する）ようにしてもよい。

【0128】この場合、CPU121は、具体的には、例えば、フラッシュメモリ11の記憶領域の各々のゾーンについて、ゾーンステップS406、S417及びS423において最後にデータが書き込まれた空きブロックの物理ブロックアドレスをフラッシュメモリ11の当該ゾーンの所定の記憶領域に書き込むようにする。そして、ステップS406、S415及びS423において、書き込みをする対象のゾーンの当該記憶領域に格納されている物理ブロックアドレスを読み出し、読み出した物理ブロックアドレスが示す空きブロックの次のブロック以降の先頭の空きブロックを索出するようにする。ただし、書き込みをする対象のゾーン内に該当する空きブロックがない場合は、当該ゾーンに属するブロックのうち最も物理ブロックアドレスが若いものを索出するものとする。

【0129】これにより、空きブロックへの書き込みは、ゾーン毎にサイクリックになされる。このため、特定のブロックのみデータ更新の頻度が高くなることがなくなるので、特定のブロックの性能が劣化する事態が防止される。

【0130】また、CPU121は、例えば、ステップS406、S417及びS423において最後にデータが書き込まれた空きブロックの次のブロック以降で同一ゾーン内の先頭の空きブロック（ただし、ない場合は同一ゾーン内の先頭の空きブロック）をファイル管理用BSIあるいは一般用BSIを検索することにより特定し、特定された空きブロックの冗長部に、当該空きブロックが次に書き込みの対象となる空きブロックであることを示すマークデータを書き込むようにしてもよい。

【0131】この場合は、ステップS406、S415及びS423において、CPU121がフラッシュメモリ11の記憶領域の各ブロックの冗長部を検索してマークデータを索出し、マークデータが索出された空きブロック以降の空きブロックを、物理ブロックアドレスが若いものから順次索出するようにすれば、空きブロックへの書き込みは、ゾーン毎にサイクリックになされる。

【0132】なお、マークデータとしては、具体的には、フラッシュメモリ11がNAND型のEEPROMである場合、例えば値“00h”以外の、16進表記で2桁となる所定の値を用いるようにして、当該マークデータが書き込まれた空きブロックのデータ領域にデータを書き込むようにすれば、当該マークデータが書き込まれている部分を値“00h”で上書きすることにより、マークデータは除去される。このため、マークデータを除去するために空きブロックの記憶内容の消去を実行するといった操作は不要となる。

【0133】以上、この発明の実施の形態を説明したが、この発明の記憶システムは、専用のシステムによら

ず、通常のコンピュータシステムを用いて実現可能である。例えば、フラッシュメモリ11を装着するスロットを備えるパーソナルコンピュータに上述の動作を実行するためのプログラムを格納した媒体（フロッピーディスク、CD-ROM等）から該プログラムをインストールすることにより、上述の処理を実行する記憶システムを構成することができる。

【0134】また、コンピュータにプログラムを供給するための媒体は、通信媒体（通信回線、通信ネットワーク、通信システムのように、一時的且つ流動的にプログラムを保持する媒体）でも良い。例えば、通信ネットワークの掲示板（BBS）に該プログラムを掲示し、これをネットワークを介して配信してもよい。そして、このプログラムを起動し、OSの制御下に、他のアプリケーションプログラムと同様に実行することにより、上述の処理を実行することができる。

【0135】なお、OSが処理の一部を分担する場合、あるいは、OSが本願発明の1つの構成要素の一部を構成するような場合には、記録媒体には、その部分をのぞいたプログラムを格納してもよい。この場合も、この発明では、その記録媒体には、コンピュータが実行する各機能又はステップを実行するためのプログラムが格納されているものとする。

【0136】

【発明の効果】以上説明したように、この発明によれば、データにアクセスする際にアドレス変換テーブルを作成する頻度が少ない記憶装置、記憶システム、メモリ管理方法が実現される。

【図面の簡単な説明】

【図1】本発明の実施の形態にかかる記憶システムの構成を示すブロック図である。

【図2】フラッシュメモリの記憶領域の論理的構造を模式的に示す図である。

【図3】ディレクトリ及びFATのデータ構造を模式的に示す図である。

【図4】一般用BSI及びファイル管理用BSIのデータ構造を模式的に示す図である。

【図5】BPTのデータ構造を模式的に示す図である。

【図6】初期処理を示すフローチャートである。

【図7】データ読み出しの処理を示すフローチャートである。

【図8】一般用BSI・一般用BPTの作成の処理を示すフローチャートである。

【図9】データ書き込みの処理を示すフローチャートである。

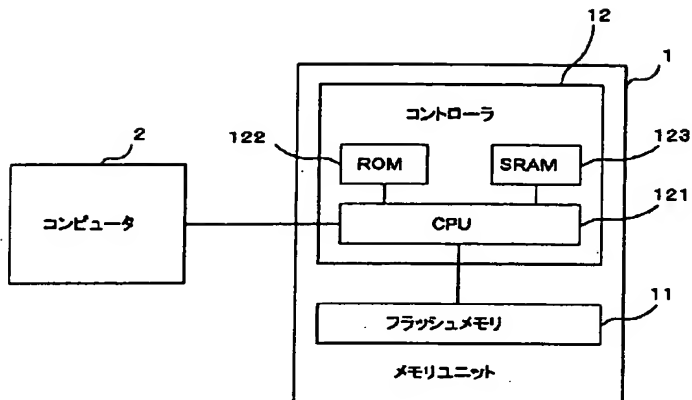
【図10】FAT更新の処理を示すフローチャートである。

【図11】データ転記の処理を示すフローチャートである。

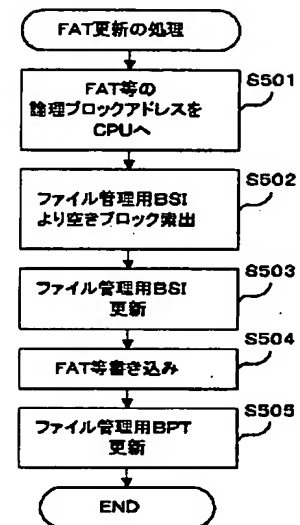
【符号の説明】

- |     |          |     |        |
|-----|----------|-----|--------|
| 1   | メモリユニット  | 122 | ROM    |
| 11  | フラッシュメモリ | 123 | SRAM   |
| 12  | コントローラ   | 2   | コンピュータ |
| 121 | CPU      |     |        |

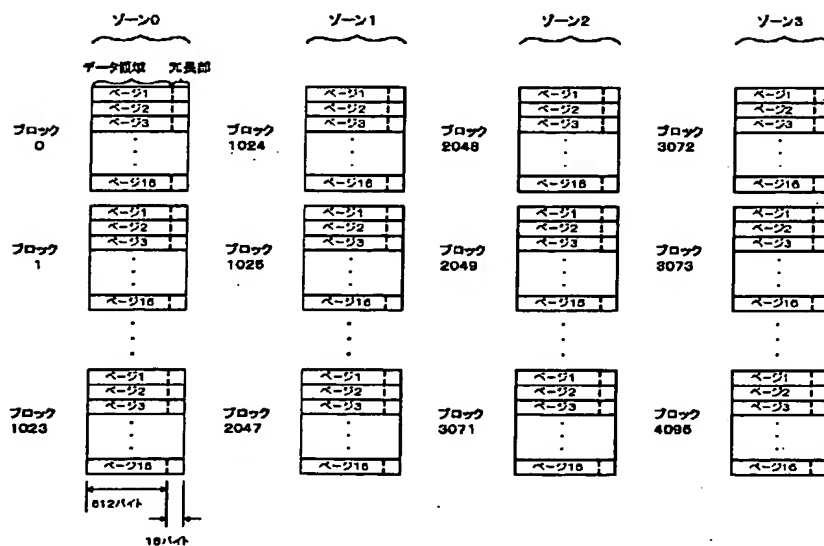
【図1】



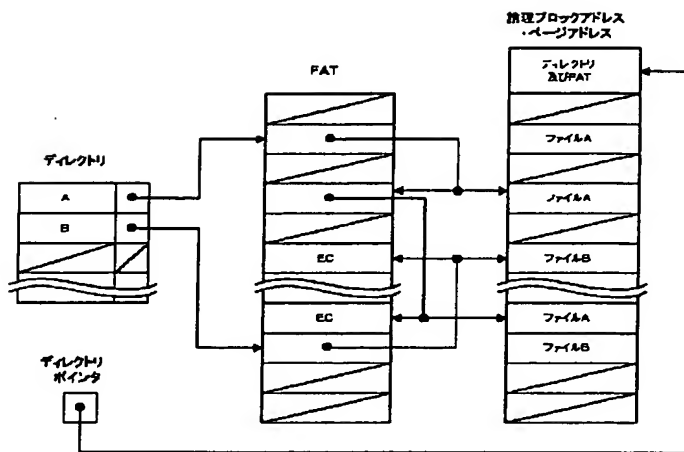
【図10】



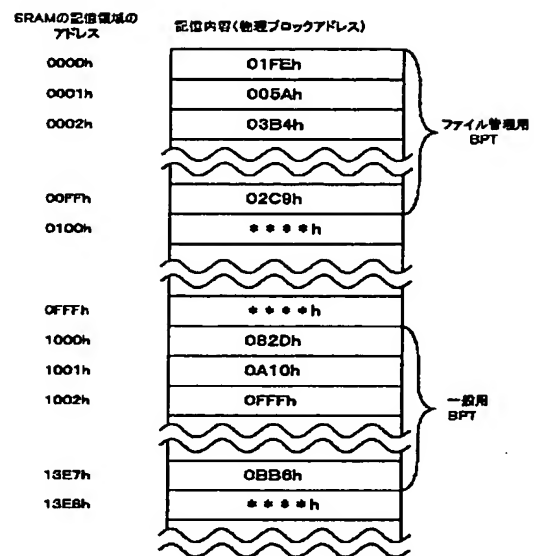
【図2】



【図3】

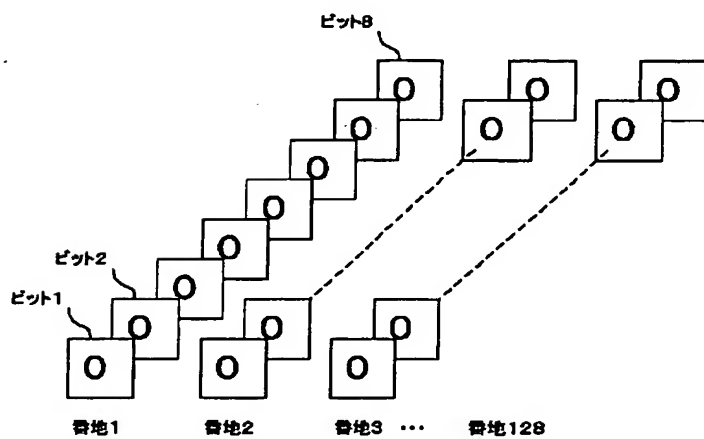


【図5】

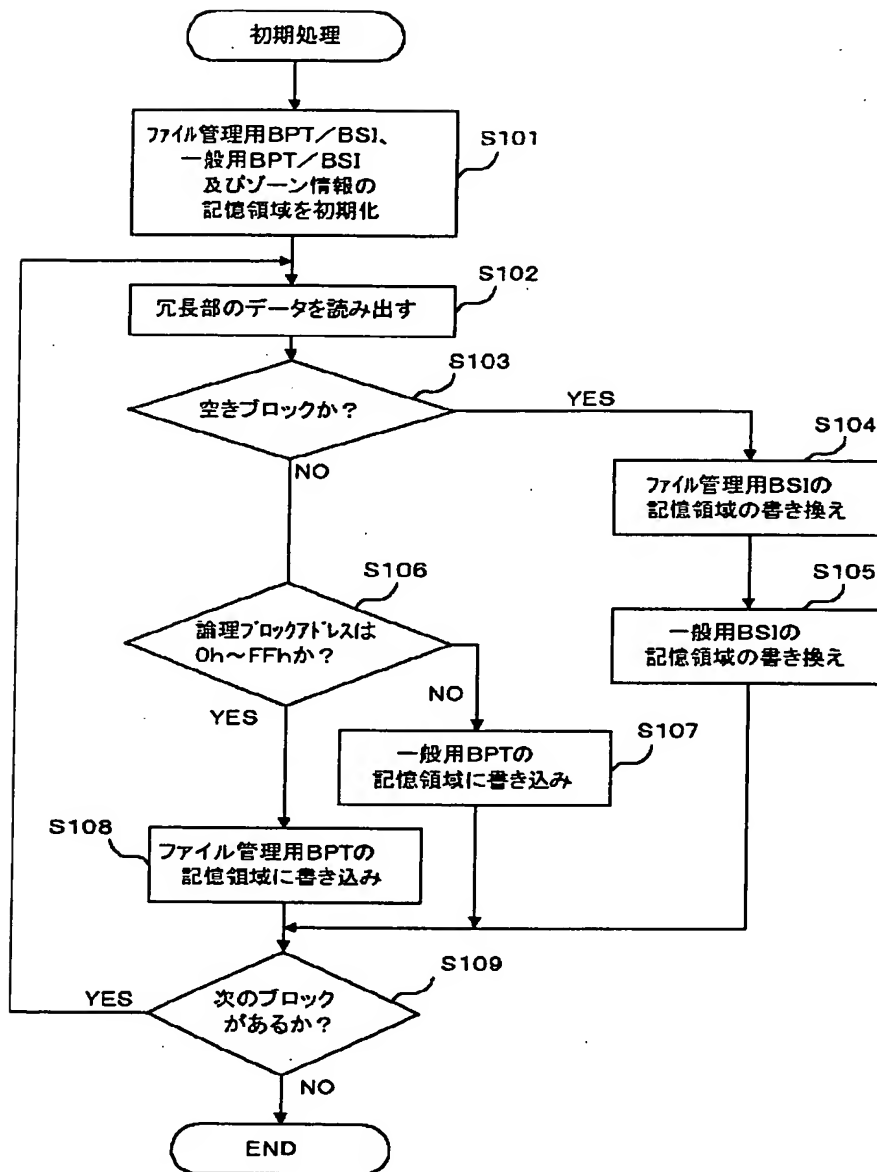


(一般用BPTを格納するSRAMの記憶領域のアドレス)  
 $= (\text{管理ブロックアドレス}) + 1000h - ((\text{ゾーン}) \times 03E8h)$

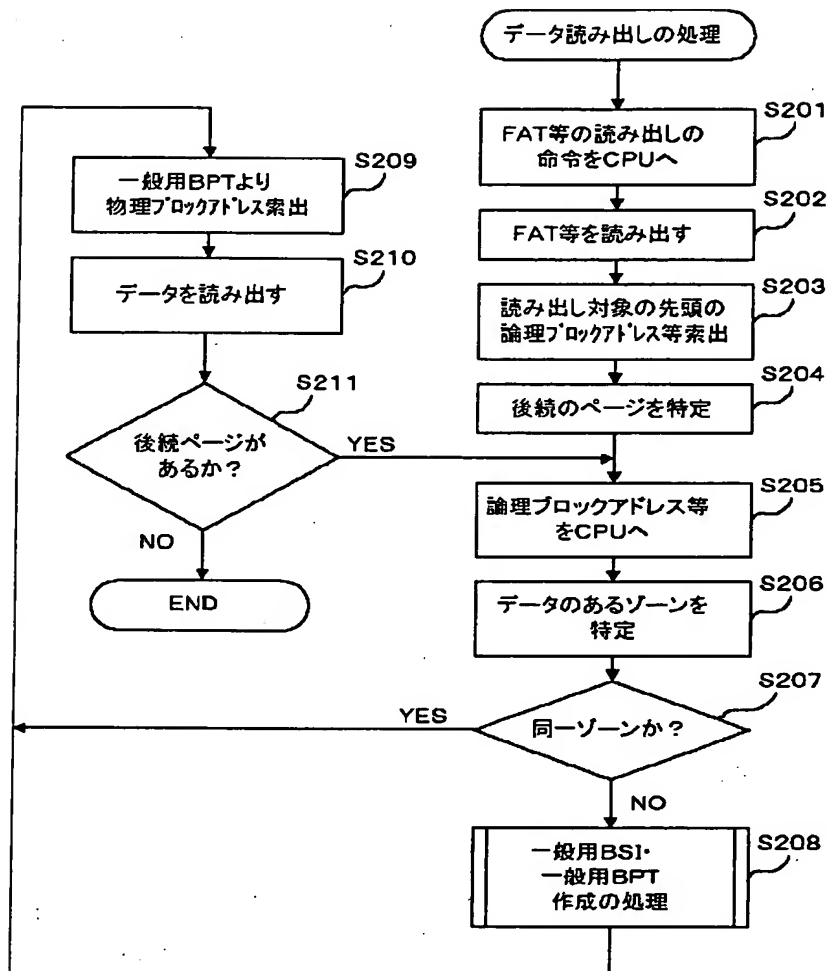
【図4】



【図6】

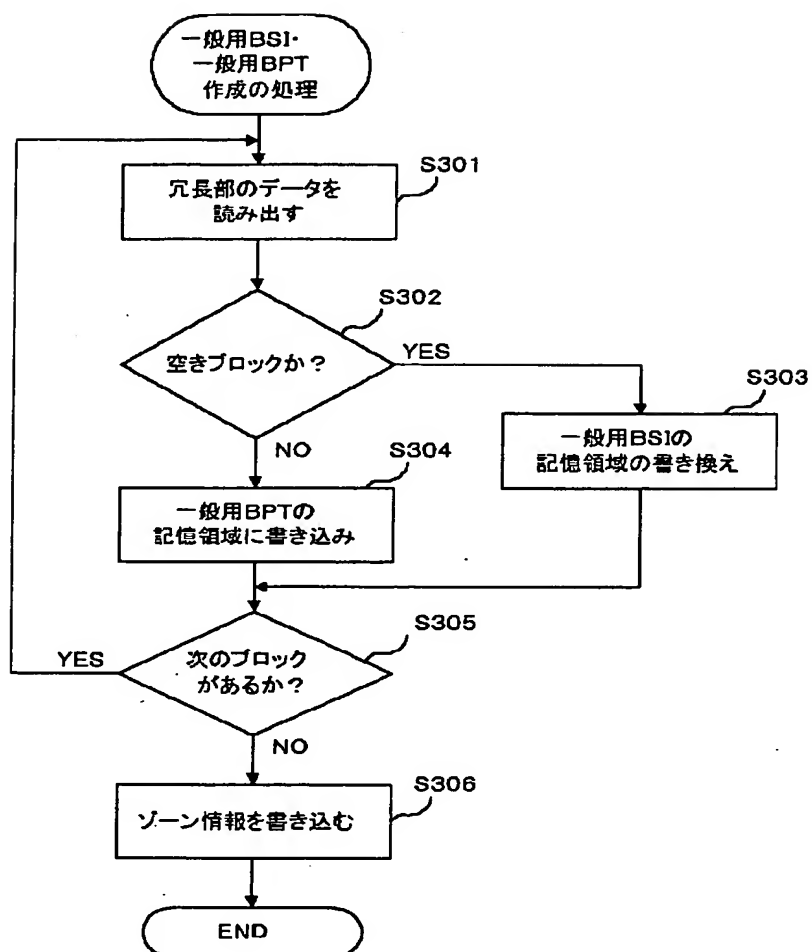


【図7】

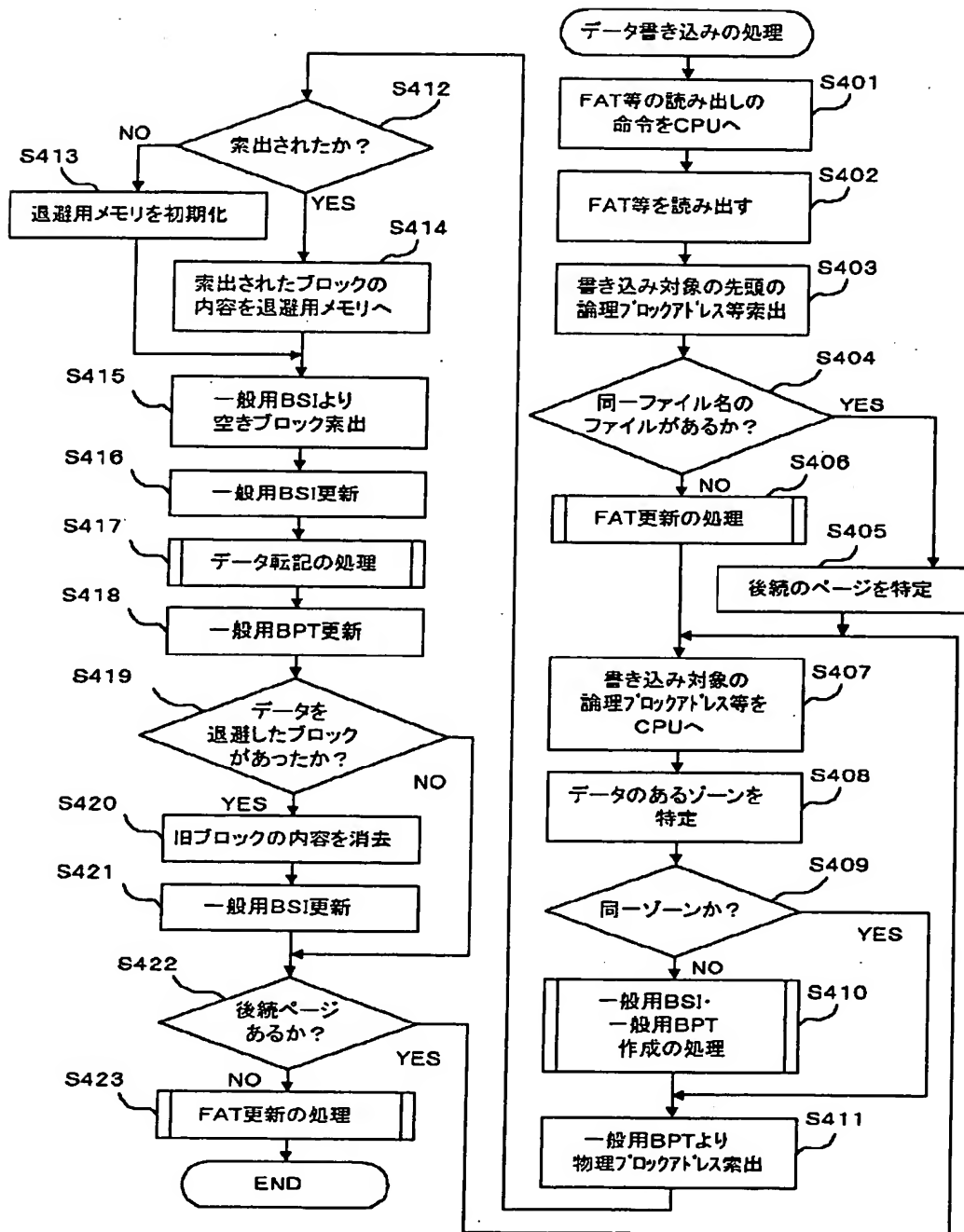




【図8】



【図9】



【図11】

